

Power supply unit

Patent Number: ☐ US5883504
Publication date: 1999-03-16
Inventor(s): OKADA HIROYUKI (JP)
Applicant(s): ROHM CO LTD (JP)
Requested Patent: ☐ JP10271680
Application Number: US19980047345 19980325
Priority Number(s): JP19970073846 19970326
IPC Classification: G05F1/569; H02H7/00
EC Classification: H02H9/00C, G05F3/22C
Equivalents:

Abstract

A power supply unit has a transistor and a resistor circuit connected in series between a power source line and a reference potential point. The node between the transistor and the resistor circuit is connected to an output terminal. A capacitor is connected between the output terminal and the reference potential point. In response to the activation of a starting switch, the transistor is turned on. The power supply unit further has a delay circuit for delaying a rise in the voltage at a predetermined point in the resistor circuit, a current limiting circuit for limiting the current flowing through the transistor, and a current limiting level control circuit for controlling, in accordance with the output of the delay circuit, the level to which the current limiting circuit limits the current. Thus, output of an unduly large current is suppressed when the power supply unit is started up in response to the activation of the starting switch.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-271680

(43) 公開日 平成10年(1998)10月9日

(51) Int. Cl.⁸

識別記号

F I

H 0 2 J 1/00

3 0 9

H 0 2 J 1/00

3 0 9 R

3 1 0

3 1 0 B

G 0 5 F 1/56

3 1 0

G 0 5 F 1/56

3 1 0 A

3 2 0

3 2 0 B

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号

特願平9-73846

(22) 出願日

平成9年(1997)3月26日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 岡田 博行

京都市右京区西院溝崎町21番地 ローム株式会社内

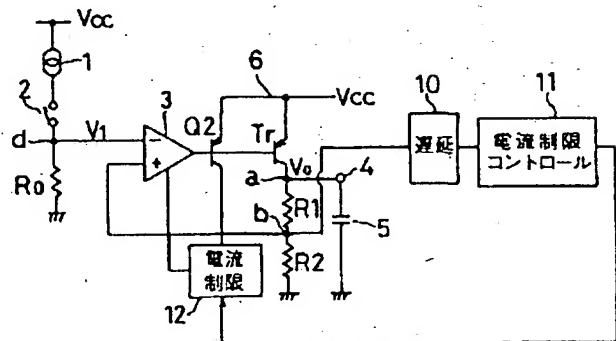
(74) 代理人 弁理士 佐野 静夫

(54) 【発明の名称】 電源回路

(57) 【要約】

【課題】 起動スイッチによる電源立ち上げ時に過大電流が流れないようにした電源回路を提供する。

【解決手段】 電源ラインと基準電位点間に直列に順次接続されたトランジスタ T_r と抵抗 R_1 、 R_2 との接続点 a に出力端子 4 が接続されるとともに出力端子 4 と基準電位点との間にコンデンサ 5 が接続され、起動スイッチ 2 の動作開始にตอบสนองしてトランジスタ T_r が導通するように構成された電源回路である。出力端子 4 側の電圧 (b 点の電圧) の変化を遅延する遅延回路 10 と、前記トランジスタ T_r に流れる電流を制限する電流制限回路 12 と、遅延回路 10 の出力に基いて電流制限回路 12 の電流制限値をコントロールする電流制限コントロール回路 11 とを具備し、起動スイッチ 2 の動作開始に伴う電流立ち上げ時に過大な出力電流の発生を抑える。



【特許請求の範囲】

【請求項1】電源ラインと基準電位点間に直列に順次接続されたトランジスタと抵抗との接続点に出力端子が接続されるとともに前記出力端子と前記基準電位点との間にコンデンサが接続され、起動スイッチの動作開始にตอบสนองして前記トランジスタが導通するように構成された電源回路において、

前記出力端子の出力電圧の変化を遅延する遅延回路と、前記トランジスタに流れる電流を制限する電流制限回路と、

前記遅延回路の出力に基いて前記電流制限回路の電流制限値をコントロールする電流制限コントロール回路と、を具備し、前記起動スイッチの動作開始に伴う電流立ち上げ時に過大な出力電流の発生を抑えるようにしたことを特徴とする電源回路。

【請求項2】前記電流制限コントロール回路は前記遅延回路の出力上昇の複数段階にわたって前記電流制限値を変えることを特徴とする請求項1に記載の電源回路。

【請求項3】前記電流制限値コントロール回路は前記遅延回路の出力電圧を入力して比較する基準電圧値が異なる複数のコンパレータから成ることを特徴とする請求項1又は請求項2に記載の電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、負荷回路に電力を供給する電源回路に関するものである。

【0002】

【従来の技術】図6は、従来の定電圧電源回路を示している。同図において、電圧 V_{cc} の電源ライン6とグラウンド電位点（基準電位点）との間に、PNP型の出力トランジスタ T_r と、第1、第2抵抗 R_1 、 R_2 が順次直列に接続されるとともに、その出力トランジスタ T_r のコレクタと第1抵抗 R_1 の接続中点aが出力端子4に接続されている。

【0003】また、第1、第2抵抗 R_1 、 R_2 の接続中点bはコンパレータ3の非反転端子（+）に接続されている。コンパレータ3の反転端子（-）は抵抗 R_o の一端と起動スイッチ2の接続点dに接続されている。抵抗 R_o の他端はグラウンド電位点に接続され、スイッチ2の他端は定電流源1を介して電源ラインへ接続されている。起動スイッチ2がONしたときのd点の電圧を V_1 とする。出力端子4には回路の発振防止用のコンデンサ5が接続される。

【0004】尚、出力端子4に接続される負荷7（図8参照）の容量もコンデンサ5と並列に入るが、説明の便宜のため、ここではコンデンサ5にその負荷容量を含めて考えることにする。さて、上記のように構成された電源回路は、スイッチ2のONによって起動する。

【0005】まず、スイッチ2のONに伴ってコンパレータ3の反転端子（-）にd点の電圧 V_1 が印加される

ど、コンパレータ3の出力はローレベルとなり、トランジスタ T_r がONしてコンデンサ5が急速充電される。b点の電圧が V_1 以上になると、コンパレータ3の出力はハイレベルになり、出力トランジスタ T_r はOFFするが、負荷7に電流が供給されるに従い、b点の電位は下がるので、再び出力トランジスタ T_r がONする。つまり、出力トランジスタ T_r はb点の電圧（従って出力端子4の電圧）が一定になるように動作する。

【0006】

【発明が解決しようとする課題】ところで、この従来回路では、スイッチ2を投入して電源を立ち上げるときに、コンデンサ5に予め設定した最大電流が流れる。特性図で示すと図7のように通常の出力負荷電流 I_o よりも大きな電流 I_{max} が流れ、グラフのA→B→C→Dの順序でD点に至ることになる。

【0007】このように、起動時に最大電流 I_{max} が流れると、電流の入力系統、即ち電源ライン6を不安定な状態にする。このため、例えば電源ライン6に接続されている他の回路8、9（図8参照）の誤動作を引き起こしたりする虞れがあった。例えば、回路8又は9がマイクロコンピュータを含んでいる場合には、そのマイクロコンピュータをリセットしてしまうことがあった。

【0008】本発明は、このような点に鑑みなされたものであって、起動スイッチによる電源立ち上げ時に過大電流が流れないようにした電源回路を提供することを目的とする。

【0009】

【課題を解決するための手段】上記の目的を達成するため本発明では、電源ラインと基準電位点間に直列に順次接続されたトランジスタと抵抗との接続点に出力端子が接続されるとともに前記出力端子と前記基準電位点との間にコンデンサが接続され、起動スイッチの動作開始にตอบสนองして前記トランジスタが導通するように構成された電源回路において、前記出力端子の出力電圧の変化を遅延する遅延回路と、前記トランジスタに流れる電流を制限する電流制限回路と、前記遅延回路の出力に基いて前記電流制限回路の電流制限値をコントロールする電流制限コントロール回路とを具備し、前記起動スイッチによる動作開始に伴う電流立ち上げ時に過大な出力電流の発生を抑えるようにしている。

【0010】

【発明の実施の形態】本発明の実施形態の大まかな構成を示す図1において、図6の従来例と同一部分には同一の符号を付してある。本実施形態では、エミッタが電源ライン6に接続され、ベースがコンパレータ3の出力に接続されたPNP型のトランジスタ Q_2 を設けている。このトランジスタ Q_2 と出力トランジスタ T_r の電流比は $1:n$ （ $n>1$ ）としている。12は、コンパレータ3の出力電流を制限し、それによって出力トランジスタ T_r の出力電流を制限する電流制限回路である。

【0011】10はb点の電圧を遅延する遅延回路であり、11はその出力電圧の値に基いて電流制限回路12をその電流制限値を可変するようにコントロールする電流制限コントロール回路である。電流制限回路12は電流制限コントロール回路11からのコントロール信号に応じて出力電流を制限する。これらの遅延回路10、電流制限コントロール回路11、電流制限回路12は電源立ち上げ時における出力の過電流を防止する過電流防止回路を構成している。図2は図1において、コンパレータ3、遅延回路10、電流制限コントロール回路11、電流制限回路12を詳細に表わした回路図を示している。

【0012】まず、コンパレータ3は定電流源16と、その定電流源16にエミッタが共通に接続された一対のPNP型のトランジスタT1、T2と、トランジスタT1、T2のコレクタに接続されて、カレントミラー回路を成す一対のNPN型のトランジスタT3、T4と、コンパレータ3の出力用のトランジスタT5とから構成されている。

【0013】トランジスタT5のコレクタはトランジスタQ2と出力トランジスタTrの各ベースに接続され、エミッタはグランド電位点に接続されている。トランジスタT1のベースはd点に接続され、トランジスタT2のベースはb点に接続されている。

【0014】次に、電流制限回路12は、コレクタが前記トランジスタT5のベースに接続されるとともに、エミッタがグランド電位点に接続されたNPN型のトランジスタQAと、一端がトランジスタQ2のコレクタ及びトランジスタQAのベースに接続され、他端がグランド電位点に接続された抵抗RAと、図のf点とグランド電位点間に接続された抵抗R5～R8及びNPN型のトランジスタQ5～Q8の各ベアとから構成されている。

【0015】一方、遅延回路10は抵抗RとコンデンサCの積分回路で構成されている。また、電流制限コントロール回路11は非反転端子(+)が積分回路10の出力を受けるように接続された4個(一般的にはN個、 $N \geq 1$)のコンパレータと、それらのコンパレータの反転端子(-)に基準電圧を与える基準電圧発生回路25とから成っている。

【0016】ここで、基準電圧発生回路25はスイッチ2がONの時にRoに発生する電圧と同じ電圧V1とグランド電位点間に直列に接続された抵抗R11～R15で構成されている。

【0017】次に、図2の回路の動作を説明する。定電流源1と16を連動させるスイッチ2をONする前は、差動アンプ(コンパレータ3)はOFF状態となっている。このためトランジスタT5はOFFであり、トランジスタQ2、TrはいずれもOFFとなっている。スイッチ2はONすると、抵抗Roに定電流源1からの定電流が流れることによりd点がハイレベルになり、同時に

定電流源16もONし、差動アンプのためb点もハイレベルになろうとする。

【0018】このとき通常モードでの立ち上がりでは、トランジスタT1よりもトランジスタT2の立ち上がり若干遅れるため立ち上がる時に出力トランジスタTrが能力いっぱいまで電流を流そうとする。この立ち上がり時に出力トランジスタTrを保護するために抵抗RA、トランジスタQAを入れて、 $T5 \rightarrow Q2 \rightarrow RA(QA)$ の系で帰還をかけて一定電流に保ちながら出力が立ち上がる(TrはQ2のn倍の電流能力を有しているものとする)ようにしている。

【0019】しかし、RA、QAを入れても通常は出力トランジスタTrの能力いっぱい近くまで動作できるようにしているため立ち上がり電流(ラッシュ電流)がかなり大きい。この過大ラッシュ電流を回避するために電流制限コントロール回路11を設け、立ち上がり時に階段を追って電流を増加していくようになる。

【0020】この電流の増加は次のようにして行なわれる。まず、コンデンサCの充電に伴い、遅延回路10の出力電圧が或る値に達すると、コンパレータ21の出力がハイレベルに転じ、制限回路12のトランジスタQ5がONして抵抗R5が抵抗RAと並列に入り、f点の電圧が下がるので、トランジスタQAによるグランド電位点への側路電流も減少する。その分、トランジスタT5のベース電流が多くなってトランジスタT5のコレクタ電流も増加するので、トランジスタQ2及び出力トランジスタTrの出力電流が更に上昇し、コンデンサCの出力電圧が次の所定値に達すると、コンパレータ22の出力もハイレベルに変遷するので、トランジスタQ5に加えてトランジスタQ6もONする状態になり、電流制限回路12において動作する抵抗はRAにR5とR6が並列に加わる。

【0021】そのため、トランジスタQAの側路電流が一層小さくなり、出力電流は大きくなる。以上の如き動作を繰り返す、トランジスタQ5～Q8の全てがON状態となると、出力電流は一番大きなものとなる。図5において、D点に至る(通常状態になる)と、その後の出力電流の制御はb点の電圧によってコンパレータ3を介して行なわれる。

【0022】ここで、遅延回路10及び抵抗R5～R8の意義を説明する。今、仮に電流制限コントロール回路11のコンパレータ21～24を用いて段階的に電流を増加していくとしても、遅延時間が全くなければラッシュ電流の最大値はR5～R8を入れない状態と変わらないため(即ち、充分コンデンサ5にチャージされないため)、b点にRCを接続して遅延時間をもたせることにより、出力電流をチャージしながらコンパレータ21～24が順次切り替わることにより立ち上がり時のラッシュ電流に制限をかけようとするものである。

【0023】抵抗R5～R8については、トランジスタ

Q5～Q8のNPNトランジスタの飽和電圧を仮に0Vとすれば、b点が0V時は R_A のみで制限電流が決まり、Q2のコレクタ電流の最大値は $V_F(Q_A)/R_A$ となり、出力が上がっていくに伴い、制限電流は R_A とR5、R6、R7、R8がそれぞれ並列になること（つまり合成抵抗値が小さくなること）によって、増加していく。

【0024】以上のことをまとめると、

①差動アンプ（コンパレータ3）がスイッチ2によって立ち上がるとき、通常は出力トランジスタTrは能力いっぱいラッシュ電流を流しながら立ち上がる

②一般的な電流制限は R_A と Q_A の V_F （閾値電圧）で帰還をかけて決める

③段階的に出力電流を増加するためにコンパレータ21～24を入れ、電流制限を順次切り換える

④出力立ち上げ時に遅延をもたせなければ電流制限を切り換えても意味がないため遅延回路10のRCを入れて出力のコンデンサに充分電流を充電しながら立ち上げて必要以上のラッシュ電流が流れないようにする。

【0025】次に、図3の実施形態は遅延回路10をコンパレータ30と、NPN型のトランジスタQ9、Q10、定電流源31、32、コンデンサCで構成している点が図2と相違しているだけで、他の部分は同一である。コンパレータ30はb点の電圧が基準電圧V2以上になると、出力をハイレベルにし、トランジスタQ9をONする。そのためトランジスタQ10がOFFとなってコンデンサCに電流 I_3 が流れ込む。

【0026】尚、コンパレータ30の出力がローレベルのときは、トランジスタQ9がOFFで、定電流 I_2 がトランジスタQ10のベース電流となり、トランジスタQ10のONにより、定電流 I_3 はトランジスタQ10を介してグランド電位点に流れ、コンデンサCは充電されない。定電流源 I_3 とコンデンサCを使用する目的は定電流源でコンデンサをチャージすれば直線的に電圧が上がるためコンパレータ21～24の切り換えタイミングを取り易くするためである。

【0027】上記図2、図3において、電流制限回路12を図4に示す回路に変更しても同様な効果が得られる。図4において、トランジスタ Q_B はトランジスタ Q_A

とトランジスタQ2のコレクタ電流によってドライブされるカレントミラー回路を形成している。トランジスタQ5～Q8はそのドライブ電流を一部側路することによってトランジスタ Q_A （ Q_B ）の導通度を下げるように働く。

【0028】

【発明の効果】請求項1の発明によれば、起動スイッチを投入した電源立ち上げ時にラッシュ電流が流れないので、電源ラインに接続されている他の回路に悪影響を与えないという効果が得られる。請求項2の発明によれば、段階的に出力電流を変化させることができるので、出力電流を徐々に多くしていき、定常電流値へ円滑に上げていくことが可能となる。請求項3の発明によれば、同じ形のコンパレータを複数用いて、それらの比較基準電圧を異ならせてやるだけでよいので、段階的な電流制限コントロール回路が簡単に実現できる。

【図面の簡単な説明】

【図1】本発明の一実施形態の定電圧電源回路を示す回路図。

【図2】図1の回路の詳細構成図。

【図3】本発明の他の実施形態の定電圧電源回路を示す回路図。

【図4】図1及び図3にける電流制限回路部分の変形例を示す回路図。

【図5】本発明による電源立ち上げ時における出力電流の特性図。

【図6】従来例の回路図。

【図7】その従来例の電源立ち上げ時における出力電流の特性図。

【図8】従来例の問題点を説明するための図。

【符号の説明】

2 起動スイッチ

Tr 出力トランジスタ

4 出力端子

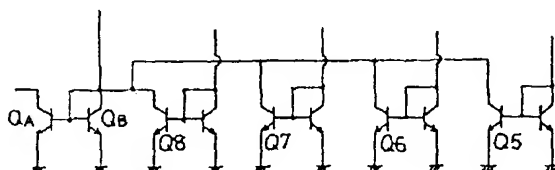
10 遅延回路

11 電流制限コントロール回路

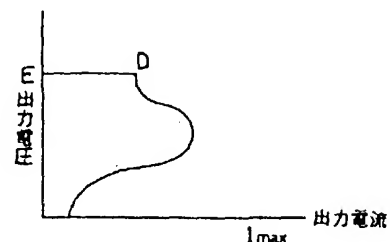
12 電流制限回路

Q21～Q24 コンパレータ

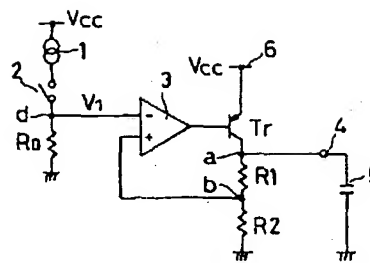
【図4】



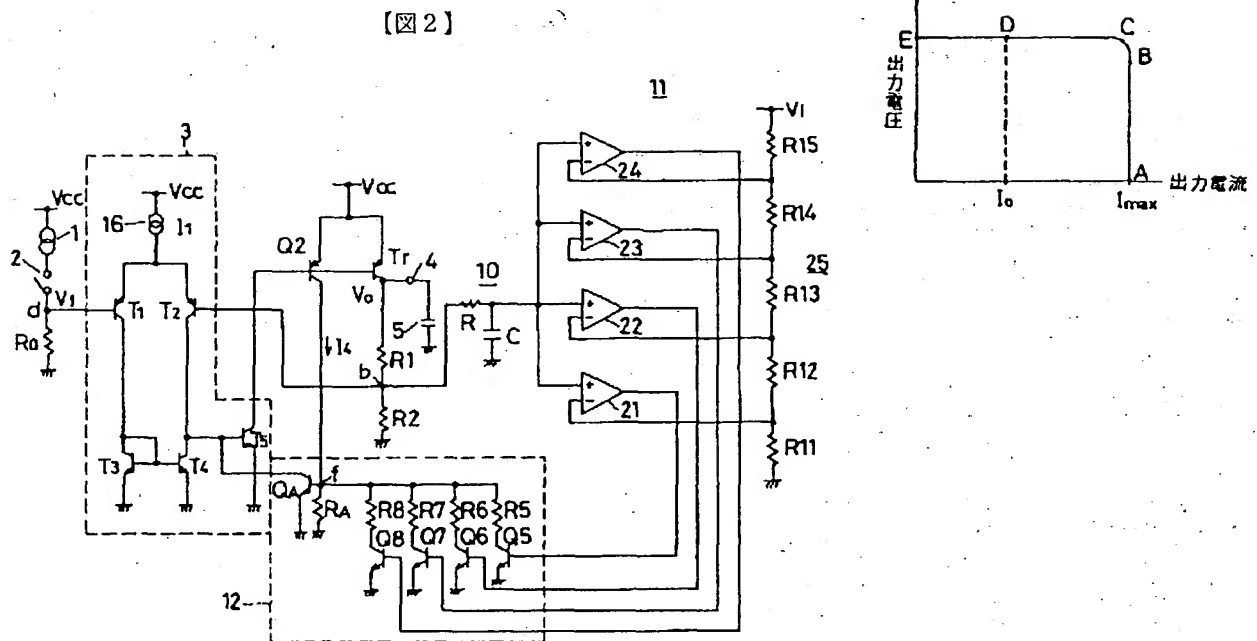
【図5】



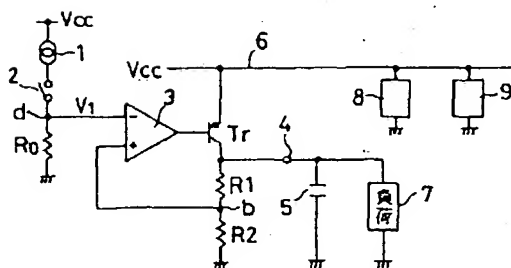
【図6】



【图7】



【図 8】



【図3】

